Министерство образования Республики Беларусь

Учреждение образования

БЕЛОРУССКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ

ИНФОРМАТИКИ И РАДИОЭЛЕКТРОНИКИ

Кафедра ЭВМ

Отчёт по лабораторной работе №8

на тему: «**Исследование работы параллельного регистра**»

Студент группы 450501 Минаковский К.А.

Преподаватель Тимошенко В.С.

Минск 2016

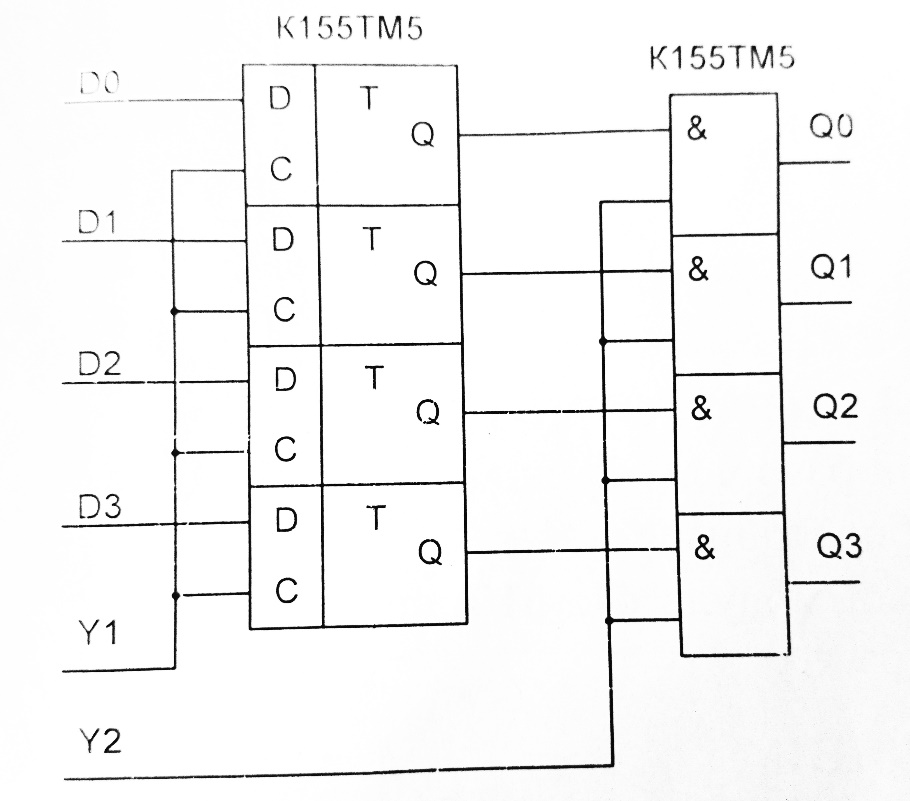
1. **ЦЕЛЬ РАБОТЫ**

Целью работы является исследование работы параллельного регистра.

1. **СВЕДЕНИЯ, НЕОБХОДИМЫЕ ДЛЯ ВЫПОЛНЕНИЯ РАБОТЫ**

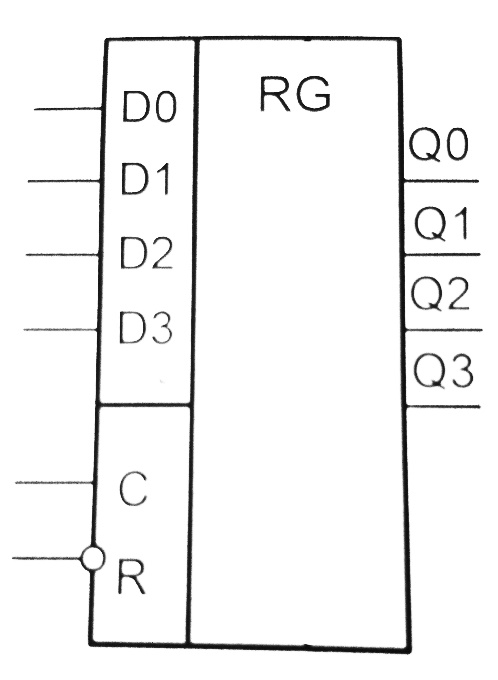
Параллельные регистры – это устройства, предназначенные для записи, хранения и выдачи информации, представленной в виде двоичных кодов. Для хранения каждого двоичного разряда в регистре используется одна триггерная ячейка. Для запоминания многоразрядных слов необходимое число триггеров объединяют вместе и рассматривают как единый функциональный узел – регистр. Если регистр построен на триггерах-защелках, то его называют *регистр-защелка*. Типовыми внешними связями регистра являются информационные входы D0 – Dn, вход сигнала записи (или загрузки) С, вход сброса R и выходы триггеров: прямые Q0 – Qn и инверсные – . В упрощенном варианте регистр может не иметь входа сброса и инверсных выходов.

На рис. 1 показана схема четырехразрядного регистра, выполненного на интегральных микросхемах К555ТМ5 и К555ЛИ1. При подаче управляющего сигнала Yl=l информация, поданная на информационные входы D0 – D3, записывается в соответствующие разряды четырех D-триггеров. При Y1=Y2=0 цифровой код хранится в регистре, а при Y2=l происходит параллельное считывание кода, т.е. передача его на выходы Q0 —Q3 схемы.



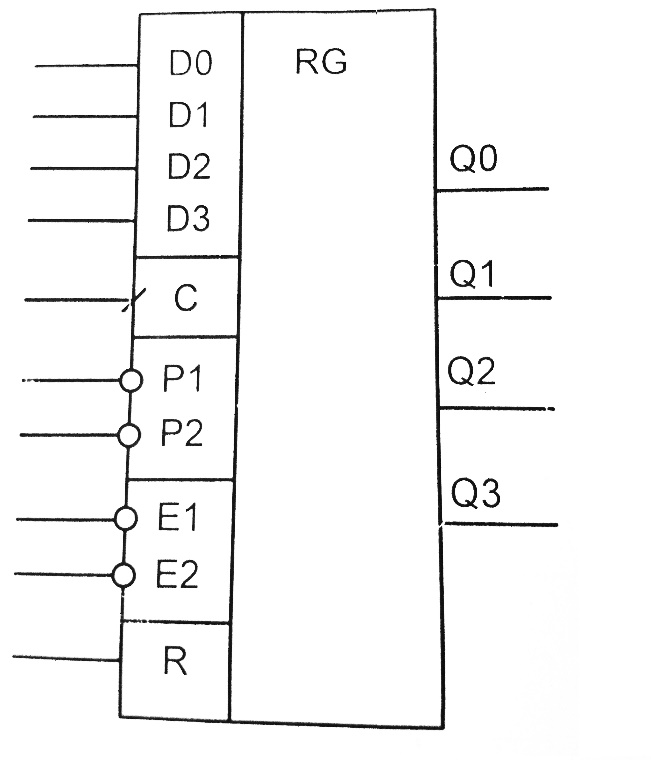
*Рис. 1. Четырёхразрядный параллельный регистр*

Условное графическое обозначение параллельного регистра показано на рис. 2.



*Рис. 2. Условное графическое обозначение параллельного регистра*

Выпускаемые промышленностью регистры иногда объединяются на кристалле микросхемы с другими узлами, совместно с которыми регистры обычно используются в схемах цифровой аппаратуры. Такой интегральной микросхемой является 4-разрядный параллельный регистр К155ИР15 (рис. 3). Выходными каскадами микросхемы являются буферные логические элементы с тремя логическими состояниями. Микросхема имеет входы управления загрузкой, сброса и считывания выходных данных.



*Рис. 3. Условное графическое обозначение регистра K555ИР15*

Микросхема имеет следующие входы: тактовый С, информационные D0 – D3, управления загрузкой Р1 и Р2, сброса R и считывания выходных Е1 и E2. Операция загрузки происходит синхронно с фронтом тактового импульса на входе С, если на входах Р1 и Р2 одновременно присутствует сигнал логического 0.

Хранящийся в регистре цифровой код может быть считан с выходов Q0 – Q3, если на входы управления считыванием Е1 и Е2 одновременно подан сигнал логического 0. Выходными каскадами данной микросхемы являются буферные логические элементы с тремя логическими состояниями. Если хотя бы на одном из входов присутствует сигнал логической 1, выходы находятся в высокоимпедансном состоянии (Z- состояние) и считывание информации запрещено. Это позволяет подключать выходы регистра непосредственно к шине данных микропроцессорных устройств.

Режимы работы регистра К155ИР15 при различных значениях входных сигналов приведено в табл. 1.

Таблица 10

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| ***Режим работы*** | ***Вход*** | | | | | | | ***Выход*** |
| ***E1*** | ***E2*** | ***R*** | ***C*** | ***P1*** | ***P2*** | ***Dn*** | ***Qn*** |
| Сброс | 0 | 0 | 1 | × | × | × | × | 0 |
| Параллельная загрузка | 0 | 0 | 0 | ↑ | 0 | 0 | 0 | 0 |
| 0 | 0 | 0 | ↑ | 0 | 0 | 1 | 0 |
| Хранение | 0 | 0 | 0 | × | 1 | 0 | × | qn |
| 0 | 0 | 0 | × | 0 | 1 | × | qn |
| Запрет считывания | 1 | 0 | × | × | × | × | × | Z |
| 0 | 1 | × | × | × | × | × | Z |

**Примечания**: - символ х обозначает безразличное состояние входа;

- символ t обозначает фронт тактового сигнала.

1. **Исследование работы параллельного регистра**
   1. **Статический режим**
      1. **Режим параллельной загрузки и хранения**

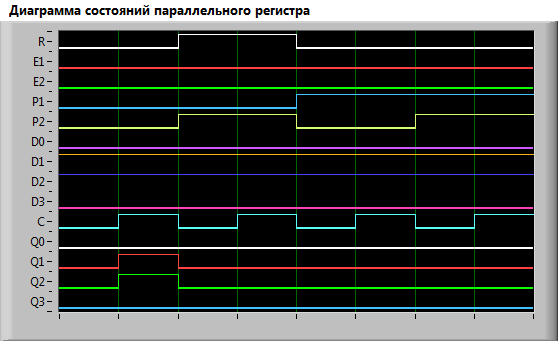


Рис. 4

Таблица 2



При подаче управляющих сигналов Р1=Р2=0 происходит параллельная загрузка, при остальных комбинациях регистр находится в режиме хранения информации.

* + 1. **Режим управления выходом регистра**

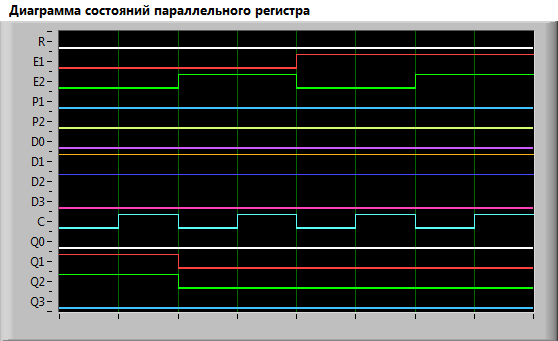


Рис. 5

Таблица 3



Считывание информации из регистра происходит при значениях на входах Е1=Е2=0.

* 1. **Динамический режим**
     1. **Режим записи регистра, E1=E2=P1=P2=R=0**

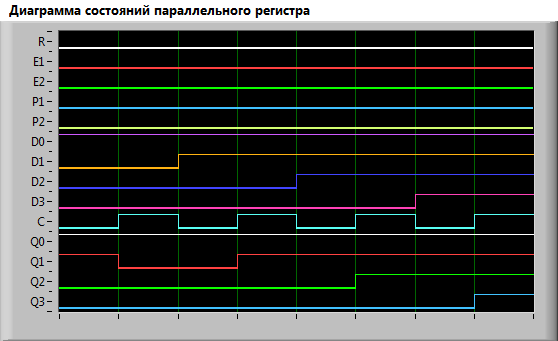


Рис. 6

* + 1. **Режим хранения, E1=E2=0, P1 | P2 = 1**

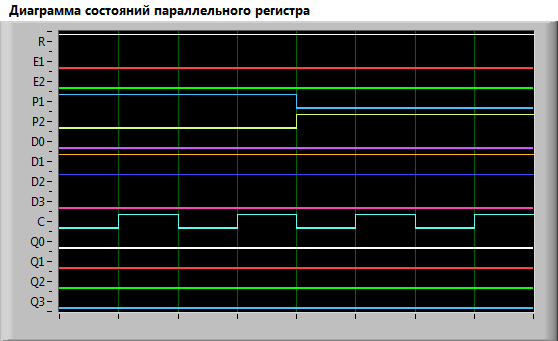


Рис. 7

* + 1. **Режим запрета выхода, P1=P2=0, R=0, E1 | E2 = 1**

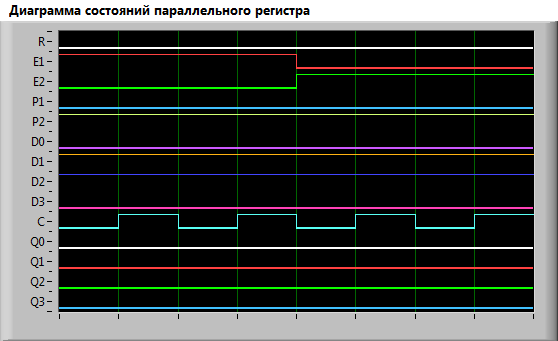


Рис. 8

* + 1. **Сброс регистра, R=1, остальные не имеют значения**

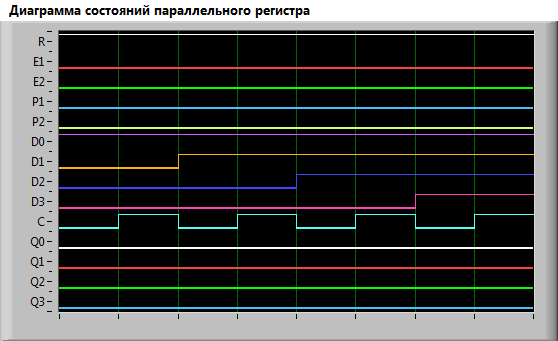


Рис. 9

1. **Вывод.**

В ходе работы было проведено исследование параллельного регистра. Были построены временные диаграммы состояний, получена таблица переходов параллельного регистра.

Экспериментальные данные согласуются с теоретическими.